

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-173000

(43)Date of publication of application : 26.06.1998

(51)Int.Cl. H01L 21/60
H01L 21/60
H01L 23/50

(21)Application number : 08-330678

(71)Applicant : NEC CORP

(22)Date of filing : 11.12.1996

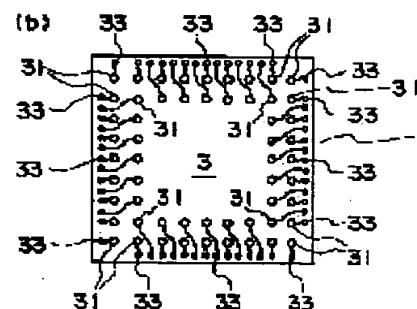
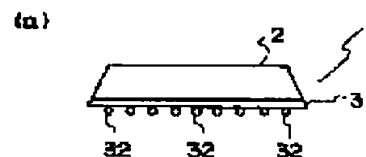
(72)Inventor : TANAKA YASUNORI
HAGIMOTO EIJI

(54) SEMICONDUCTOR PACKAGE FOR HIGH DENSITY MOUNTING AND MOUNTING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the damage of a connection part owing to a thermal expansion difference by means of a temperature change, by arranging solder ball electrodes at the back of a package in a grid form, and loading and electrically connecting solder balls on/to a printed board by melting/solidifying the solder balls fitted to the solder ball electrodes.

SOLUTION: A wiring tape 3 is adhered to a semiconductor chip 2 as the package. A solder ball electrodes 31 being flip chip mounting electrodes are formed in the grid form on the side of the back of the wiring tape 3. Wire bonding electrodes 33 are electrically connected to the solder ball electrodes 31 by melting and solidifying solder balls 32 fitted on the respective solder ball electrode 31 in the side edge part of the back of the wiring tape 3. Thus, the damage to the connection part owing to the thermal expansion difference by the temperature change can be prevented, and fine soldering, wire bonding and flip chip mounting can be realized.



LEGAL STATUS

[Date of request for examination] 11.12.1996

[Date of sending the examiner's decision of rejection] 16.12.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-173000

(43) 公開日 平成10年(1998) 6月26日

(51) Int.Cl. ⁸	識別記号	F I
H 0 1 L 21/60	3 0 1	H 0 1 L 21/60
	3 1 1	3 0 1 N
23/50		3 1 1 S
		23/50 N

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平8-330678

(22) 出願日 平成8年(1996)12月11日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田中 靖則

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 萩本 英二

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 後藤 洋介 (外2名)

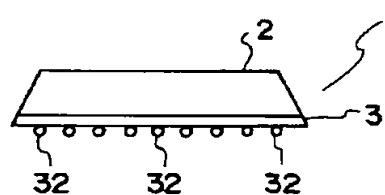
(54) 【発明の名称】 高密度実装用半導体パッケージ及びその実装方法

(57) 【要約】

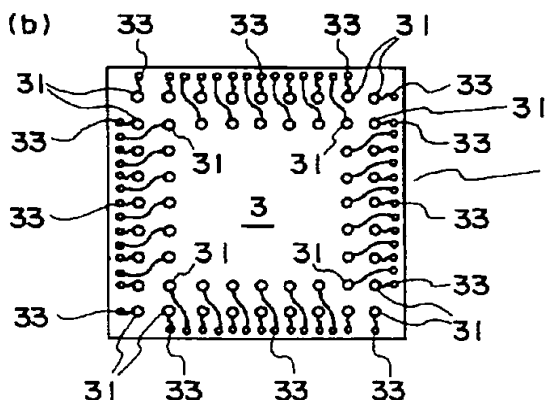
【課題】 チップサイズとほぼ同等の大きさの半導体パッケージのプリント基板上の搭載・接続品質を向上させること。

【解決手段】 半導体パッケージ1のパッケージ3にワイヤボンディング用電極33を設け、半導体パッケージ1をプリント基板にワイヤボンディング実装を可能とする。これによって、半導体パッケージ1のコストアップなく、その接続品質の向上が得られる。

(a)



(b)



【特許請求の範囲】

【請求項 1】 フリップチップ実装用電極を有するパッケージを備えた高密度実装用半導体パッケージにおいて、前記パッケージにワイヤボンディング用電極が設けられていることを特徴とする高密度実装用半導体パッケージ。

【請求項 2】 請求項 1 記載の高密度実装用半導体パッケージにおいて、該半導体パッケージが、半導体チップと、前記パッケージとして前記半導体チップに貼付けられた配線テープとを含むものであり、前記配線テープに設けられたワイヤボンディング用導体パターンのレイアウトによって、ワイヤボンディングに適した前記ワイヤボンディング用電極が形成されていることを特徴とする高密度実装用半導体パッケージ。

【請求項 3】 請求項 1 又は請求項 2 記載の高密度実装用半導体パッケージの実装方法であって、前記ワイヤボンディング用電極を用いて基板へワイヤボンディング実装することを特徴とする高密度実装用半導体パッケージの実装方法。

【請求項 4】 請求項 1 又は請求項 2 記載の高密度実装用半導体パッケージの実装方法であって、前記フリップチップ実装用電極を用いて基板へフリップチップ実装することを特徴とする高密度実装用半導体パッケージの実装方法。

【請求項 5】 請求項 1 記載の高密度実装用半導体パッケージと請求項 2 記載の高密度実装用半導体パッケージの内の少なくとも一方の高密度実装用半導体パッケージを、請求項 3 記載の実装方法と請求項 4 記載の実装方法の内の少なくとも一方の実装方法を用いて、複数個、基板に実装して成ることを特徴とするマルチチップモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高密度実装を可能とする高密度実装用の半導体パッケージ、及びその実装方法に関する。

【0002】

【従来の技術】半導体装置のプリント基板への高密度実装への要求から、半導体メーカーでは、ベアチップサイズとほぼ同等の外形寸法にした高密度実装用半導体パッケージ（例えば、CSP(chip size package)）を開発している。一般的なこの種の半導体パッケージを図 9

(a)、(b) に示す。この半導体パッケージ(CSP) 1 は、半導体チップ 2 と、これを覆うパッケージ 3 とを含んで構成され、パッケージ 3 の裏面に約 0.5 mm ピッチでグリッド状に半田ボール用電極（フリップチップ実装用電極の一種） 31 を設け、この半田ボール用電極 31 の上に半田ボール 32 を配置したものであり、あらかじめ半導体パッケージ 1 を搭載するプリント基板の相対する電極にクリーム半田等を塗布し、半導体パッ

ッケージ 1 の半田ボール 32 をプリント基板に位置決め搭載し、これを加熱炉を通過させることによって半田ボール 32 又は半田ボール 32 とプリント基板上のクリーム半田が溶融し、図 10 に示すように、半導体パッケージ 1 の半田ボール 32 とプリント基板 9 の電極とを半田接続する構造と成っている。

【0003】また、一般的にこの種の半導体パッケージは、ベアチップ外形の内側に半田ボール用電極を配置したファン・イン構造が採用され、それ故に電極ピッチ及び電極数に制限がある。

【0004】

【発明が解決しようとする課題】従来の高密度実装用半導体パッケージの第 1 の問題点は、搭載するプリント基板へのクリーム半田の定量供給が困難なことであり、それによって、半導体パッケージのプリント基板への搭載・接続品質が低下することである。

【0005】その理由は、半導体パッケージは電子機器のプリント基板へ組込む時、当然ながら、その他の複数種類の電子部品と混載することになり、現在使用されているスクリーン印刷による半田供給法では、半導体パッケージを含めた全ての電子部品に適した量のクリーム半田を供給できないためである。

【0006】従来の高密度実装用半導体パッケージの第 2 の問題点は、約 0.5 mm ピッチで接続する半田接続部の温度サイクル耐性が悪いことである。

【0007】その理由は、半導体パッケージの熱膨張係数は半導体チップと同等で、プリント基板のそれと比べると非常に小さく、よって半導体パッケージの組込後の環境温度の変化による熱膨張収縮差により、接続部の半田柱の破損が生じるためである。

【0008】従来の高密度実装用半導体パッケージの第 3 の問題点は、この種の半導体パッケージが半田付専用であることである。

【0009】その理由は、従来より高密度実装の手段として COB(chip on board) 技術等が使われているが、この種の半導体パッケージでは、それらの技術が採用できないためである。

【0010】それ故に、本発明の目的は、高密度実装用半導体パッケージのプリント基板への実装（電極の接続）品質の向上をはかることである。これは同時に生産性の向上をはかることにもなる。本発明の他の目的は、高密度実装用半導体パッケージにおける電極の接続部の長期信頼性の確保であり、温度変化による熱膨張差による接続部の破損を防止することである。更に本発明のもう一つの目的は、様々な実装方法を選択できる高密度実装用半導体パッケージを安価に提供することである。

【0011】

【課題を解決するための手段】一般的に考えられている高密度実装用半導体パッケージでは、上述の様にパッケージの裏面に半田ボール用電極をグリッド状に配置し、

この半田ボール用電極に取り付けられた半田ボールの溶融凝固によってプリント基板への搭載及び電氣的接続を行っている。

【0012】本発明では、パッケージの裏面の外周にワイヤボンディング用電極を配置し、それによって、高密度実装用半導体パッケージのプリント基板へのワイヤボンディング実装を可能とする。また、同電極を用いて高密度実装用半導体パッケージのフリップチップボンディング（FCB）実装を行うことも可能である。

【0013】本発明の高密度実装用半導体パッケージの好適なるものは、半導体チップに対して、配線テープを貼付けた構造を有し、配線テープ上の導体パターン形成時にフリップチップ実装用電極と、ワイヤボンディング用電極とを同時に形成することにより、1種の高密度実装用半導体パッケージにおいて、様々な実装方法を選択できるようにした。

【0014】また、本発明の高密度実装用半導体パッケージでは、フリップチップ実装用電極又はワイヤボンディング用電極を、半導体チップの外側縁の内側に配置する通常のファン・イン構造としたり、或いは必要に応じ半導体チップの外側縁の外側に配置するファン・アウト構造とすることができ、これによって、任意の電極ピッチを得ることができ、様々な実装手段を適用できるようにした。

【0015】即ち、請求項1記載の発明によれば、フリップチップ実装用電極を有するパッケージを備えた高密度実装用半導体パッケージにおいて、前記パッケージにワイヤボンディング用電極が設けられていることを特徴とする高密度実装用半導体パッケージが得られる。

【0016】請求項2記載の発明によれば、請求項1記載の高密度実装用半導体パッケージにおいて、該半導体パッケージが、半導体チップと、前記パッケージとして前記半導体チップに貼付けられた配線テープとを含むものであり、前記配線テープに設けられたワイヤボンディング用導体パターンのレイアウトによって、ワイヤボンディングに適した前記ワイヤボンディング用電極が形成されていることを特徴とする高密度実装用半導体パッケージが得られる。

【0017】請求項3記載の発明によれば、請求項1又は請求項2記載の高密度実装用半導体パッケージの実装方法であって、前記ワイヤボンディング用電極を用いて基板へワイヤボンディング実装することを特徴とする高密度実装用半導体パッケージの実装方法が得られる。

【0018】請求項4記載の発明によれば、請求項1又は請求項2記載の高密度実装用半導体パッケージの実装方法であって、前記フリップチップ実装用電極を用いて基板へフリップチップ実装することを特徴とする高密度実装用半導体パッケージの実装方法が得られる。

【0019】請求項5記載の発明によれば、請求項1記載の高密度実装用半導体パッケージと請求項2記載の高

密度実装用半導体パッケージの内の少なくとも一方の高密度実装用半導体パッケージを、請求項3記載の実装方法と請求項4記載の実装方法の内の少なくとも一方の実装方法を用いて、複数個、基板に実装して成ることを特徴とするマルチチップモジュールが得られる。

【0020】

【作用】本発明の高密度実装用半導体パッケージを、ワイヤボンディング実装によってプリント基板に実装した場合、微細な半田付作業が不要となり、接続品質が向上する。

【0021】また、この場合、本発明の高密度実装用半導体パッケージは、プリント基板上に接着剤によって固定され、電氣的接続はワイヤボンディングによる金線で行なう為、プリント基板と半導体パッケージの熱膨張差による応力は、金線のたわみで吸収する為、接続部への負荷は生じず、接続信頼性が向上する。

【0022】また、従来の高密度実装の手法として、半導体チップに対し、上述の様にワイヤボンディングを行なうCOB（チップオンボード）、及びFCB（フリップチップボンディング）の手法があるが、本発明の高密度実装用半導体パッケージをCOB或いはFCB技術でプリント基板に実装することにより、半導体チップを用いたCOB或いはFCBとほぼ同等の面積で半導体パッケージの実装が可能で、このことにより、COB或いはFCBで構成したマルチチップモジュール（MCM）の歩留りを向上させることができる。

【0023】また、従来半導体チップにおけるCOBに比べ、本発明の高密度実装用半導体パッケージの場合、半導体チップ表面が配線テープにより保護されている為、ワイヤボンディング後に半導体チップを含めて全体を樹脂コーティングする必要がなく、ワイヤボンディングの金線を機械的に保護するだけで良い。FCBの場合も同様に本発明の高密度実装用半導体パッケージを用いることにより、半導体チップの信頼性に対する配慮は不要となる。

【0024】次に本発明の高密度実装用半導体パッケージは、配線パターンの引廻しにより、任意のピッチのワイヤボンディング用電極を得ることができ、半導体メーカーが従来より保有するCOB技術、FCB技術、或いは設備のピッチ限界に合わせた半導体パッケージが得られる。また、これにより、従来高密度実装用半導体パッケージでは、多ピンの場合、リードフレームへのワイヤボンダの性能によって、ボンディングピッチが決定され、チップサイズが大きくなることがあったが、本発明の高密度実装用半導体パッケージにおいてはその制約がなく、ILB（インナーリードボンディング）の限界まで小さくすることができる為、半導体パッケージ（特にLSI）のコスト低減をはかることができる。

【0025】また、ワイヤボンディング用電極のパターン形成は、フリップチップ実装用電極の形成と同時に

なう為何等コストアップを招かない。

【0026】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して説明する。

【0027】図1は本発明の第1の実施形態による半導体パッケージ(CSP)を示し、(a)は正面図、

(b)は底面図である。図1を参照して、このCSP1は、半導体チップ2と、パッケージとして半導体チップ2に貼付けられた配線テープ3とを含んで構成されている。

【0028】配線テープ3の裏面の側部には、フリップチップ実装用電極である半田ボール用電極31が複数形成されている。各半田ボール用電極31上には、半田ボール32が接続されている。更に、配線テープ3の裏面の側縁部には、ワイヤボンディング用電極33が複数形成され、各ワイヤボンディング用電極33は、導電パターンにより半田ボール用電極31に電気的に接続されている。このワイヤボンディング用電極33は、半田ボール用電極31を形成する為に導電パターンを形成する時に同時に形成でき、何等コストアップを招くこともなく形成することができる。

【0029】尚、半田ボール32は、ワイヤボンディング実装する場合に不必要であり、CSP1のコストダウンの為に削除しても構わない。但し、半田ボール用電極31の導電パターンは、CSP1の検査用も兼ねて半田ボール付タイプと同じ位置に設けられる。また、本実施形態の場合、半導体チップ2の一面のみを配線テープ3で覆ってあるが、それ以外の部分を封止樹脂で封止しても構わない。

【0030】次に図1に示すCSPの実装方法の第1の実施形態を図2に示す。図2を参照して、CSP1は接着剤4によりプリント基板9に固定され、CSP1の裏面外周縁に形成されているワイヤボンディング用電極33とプリント基板9の対応する電極をボンディングワイヤ5を用いてワイヤボンディング法により接続した。CSP1自体はそれ自身で長期信頼性を有する為、特別な保護は不要だが、ボンディングワイヤ5の機械的保護の為に、ボンディングワイヤ5の部分だけ封止樹脂6で封止してある。

【0031】図3は図1に示すCSPの実装方法の第2の実施形態を示す。図3を参照して、本実施形態は、図2に示す実装方法と略同一である。図2に示す実装方法では、ボンディングワイヤ5の部分だけを封止樹脂6により封止してあるが、本実施形態では、CSP1全体を封止樹脂6で封止してある。

【0032】図4は図1に示すCSPの実装方法の第3の実施形態を示す。図4を参照して、本実施形態の場合、プリント基板9にキャビティ91が形成されており、このキャビティ91の内底面に接着剤4によりCSP1が固定され、このCSP1の裏面外周縁に形成され

ているワイヤボンディング用電極33とプリント基板9の対応する電極をボンディングワイヤ5を用いてワイヤボンディング法により接続した。そして更に、キャビティ91内に封止樹脂6を満たして、CSP1全体を封止樹脂6で封止してある。

【0033】図5は図1に示すCSPの実装方法の第4の実施形態を示す。図5を参照して、本実施形態の場合、ワイヤボンディング用電極33を用いず、半田ボール用電極31上に配置された半田ボール32を用い、プリント基板9にフリップチップ実装してある。

【0034】図6は図1に示すCSPを複数個用いて構成されたマルチチップモジュールを示す。図6を参照して、このマルチチップモジュールは、図1に示すCSP1を2個、プリント基板9に実装することにより構成されている。図6において、左側のCSP1は、図2に示す実装方法によりプリント基板9に実装されている。即ち、このCSP1は接着剤4によりプリント基板9に固定され、CSP1の裏面外周縁に形成されているワイヤボンディング用電極33とプリント基板9の対応する電極をボンディングワイヤ5を用いてワイヤボンディング法により接続し、更に、ボンディングワイヤ5の部分だけ封止樹脂6で封止してある。一方、図6において、右側のCSP1は、図5に示す実装方法によりプリント基板9に実装されている。即ち、このCSP1は、半田ボール用電極31上に配置された半田ボール32を用い、プリント基板9にフリップチップ実装してある。

【0035】図7は本発明の第2の実施形態による半導体パッケージ(CSP)の要部を示し、(a)は要部の縦断面図、(b)は要部の平面図である。図7を参照して、このCSP1も、Siチップ2と、パッケージとしてSiチップ2に貼付けられた配線テープ3とを含んで構成されている。

【0036】Siチップ2の上面には、A1電極21が形成されている。一方、配線テープ3は、テープ35と、このテープ35の上面に形成された導電パターン36とで構成されている。導電パターン36は、銅から成り、その表面に金メッキが施されている。この配線テープ3は、接着剤7により、半導体チップ2の上面に接着されている。この状態において、導電パターン36の一部は、テープ35に形成された孔35aを挿通し、Siチップ2のA1電極21に接続されている。この導電パターン36には、半田ボール用電極31と成っている部分と、ワイヤボンディング用電極33に成っている部分とがある。このワイヤボンディング用電極33は、Siチップ2のチップエッジ22よりも内側に配置され、いわゆるファン・イン構造と成っている。

【0037】図8は本発明の第3の実施形態による半導体パッケージ(CSP)の要部を示し、(a)は要部の縦断面図、(b)は要部の平面図である。図8を参照して、このCSP1は、図7に示すCSP1と略同構成で

あり、Siチップ2と、パッケージとしてSiチップ2に貼付けられた配線テープ3とを含んで構成されている。

【0038】本実施形態では、Siチップ2は、フレーム部材8により囲まれている。そして、配線テープ3は、フレーム部材8の上まで延在している。本実施形態の場合、半田ボール用電極31は、Siチップ2のチップエッジ22の内側にあるが、ワイヤボンディング用電極33は、チップエッジ22の外側に配置され、いわゆるファン・アウト構造に成っている。

【0039】

【発明の効果】本発明の第1の効果は、半導体パッケージの搭載・接続品質の向上である。

【0040】その理由は、微細半田付けからワイヤボンディング及びフリップチップ実装を可能にしたからである。

【0041】本発明の第2の効果は、半導体パッケージのコストアップを招かないことである。

【0042】その理由は、フリップチップ実装用電極の形成と同時に、ワイヤボンディング用電極を形成できるからである。

【0043】本発明の第3の効果は、半導体パッケージの実装部の長期信頼性を向上させることが可能であることである。

【0044】その理由は、電気的接続をボンディングワイヤで行なうことが可能な為に、半導体パッケージと基板の熱膨張係数差の影響を受けないようにすることができる為である。

【0045】本発明の第4の効果は、マルチチップモジュールの歩留まりを非常に高くすることができることである。

【0046】その理由は、従来技術においてマルチチップモジュールを構成する場合、半完成品のLSIを使用する為、1個のLSIの良品率がA%のとき、N個のLSIでマルチチップモジュールを構成した場合 $(A/100)^N$ %がモジュールの良品率となり、その低下を避けることができなく、非常に高価なものとなるが、本発明の半導体パッケージを用いる事により検査済の良品チップでマルチチップモジュールを構成することになり、マルチチップモジュールの歩留まりが非常に高くなる為である。

【図面の簡単な説明】

【図1】本発明の第1の実施形態によるCSPを示し、(a)は正面図、(b)は底面図である。

【図2】図1に示すCSPの実装方法の第1の実施形態を示す正面図である。

【図3】図1に示すCSPの実装方法の第2の実施形態を示す正面図である。

【図4】図1に示すCSPの実装方法の第3の実施形態を示す正面図である。

【図5】図1に示すCSPの実装方法の第4の実施形態を示す正面図である。

【図6】図1に示すCSPを複数用いたマルチチップモジュールの正面図である。

【図7】本発明の第2の実施形態によるCSPの要部を示し、(a)は要部の縦断面図、(b)は要部の平面図である。

【図8】本発明の第3の実施形態によるCSPの要部を示し、(a)は要部の縦断面図、(b)は要部の平面図である。

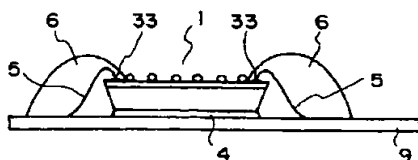
【図9】従来のCSPの一例を示し、(a)は正面図、(b)は底面図である。

【図10】図9に示すCSPの実装状態を示す正面図である。

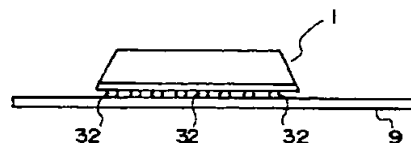
【符号の説明】

- 1 CSP (半導体パッケージ)
- 2 半導体チップ (Siチップ)
- 3 配線テープ (パッケージ)
- 4 接着剤
- 5 ボンディングワイヤ
- 6 封止樹脂
- 7 接着剤
- 8 フレーム部材
- 9 プリント基板
- 21 Al電極
- 22 チップエッジ
- 31 半田ボール用電極
- 32 半田ボール
- 33 ワイヤボンディング用電極
- 35 テープ
- 36 導体パターン

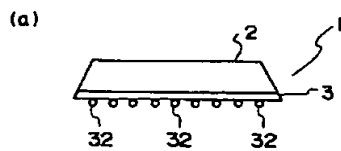
【図2】



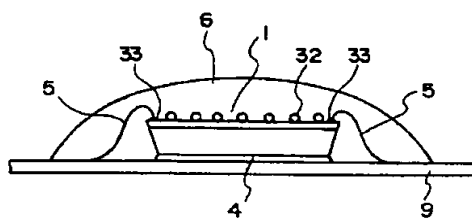
【図5】



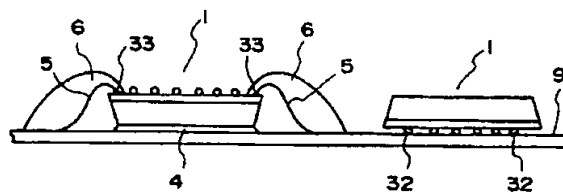
【図1】



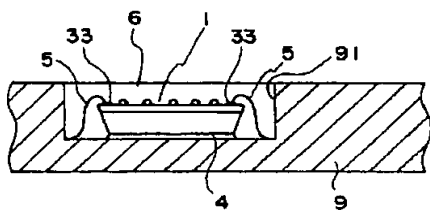
【図3】



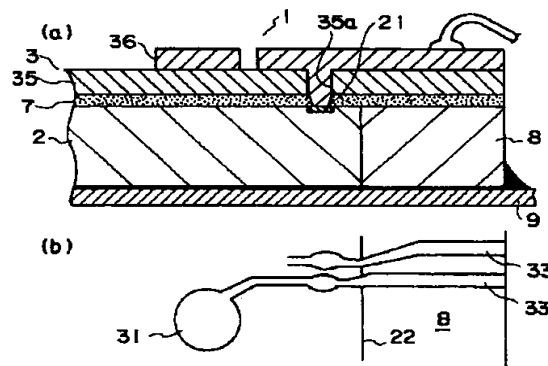
【図6】



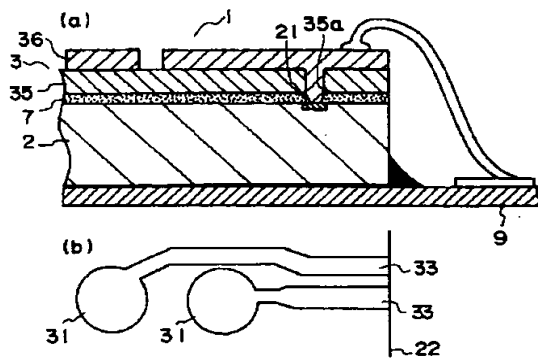
【図4】



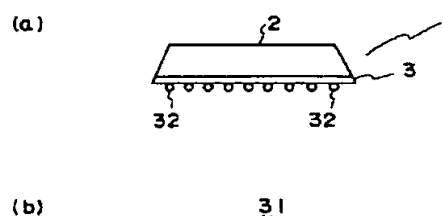
【図8】



【図7】



【図9】



【図10】

